

**Semiconductor logic circuit with FET(s) forming integral inductor - has three-dimensional structure with switched transistors, conductive tracks and connecting channels arranged in different planes**

Patent Number: DE3941323  
Publication date: 1990-06-21  
Inventor(s): FAUL ROBERT DIPL ING (DE)  
Applicant(s):: FRAUNHOFER GES FORSCHUNG (DE)  
Requested Patent: ☐ DE3941323  
Application: DE19893941323 19891214  
Priority Number(s): DE19893941323 19891214; DE19883842112 19881214  
IPC Classification: H01F15/18 ; H01F17/02 ; H01L21/72 ; H01L27/04  
EC Classification: H01L21/3205, H01L27/06E, H01L27/08, H01F17/00A4,  
Equivalents:

---

**Abstract**

---

A planar conductive track structure (2') is integrated on the main surface (1') of the semiconductor substrate (1) at right angles to a line (3) along its length. The conductivity of the tracks (2') is considerably higher than that of the substrate (1). A corresp. structure (2'') is formed on the free surface of an insulating overlayer (4) and connected to the underlying structure (2') by channels (5) at an acute angle to a direction (z) orthogonal to both the tracks (x) and the lengthwise line (y).

The FETs (T1-T3) and their controlling logic (L) may be formed in the main surface (1') or an opposite surface (1'') or in another semiconductor layer on top of the insulation (4). The inductance is varied by switching of the individual transistors (T1-T3).

ADVANTAGE - Inductance can be adjusted in discrete steps.

---

Data supplied from the esp@cenet database - I2

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑪ **DE 3941 323 A1**

⑳ Aktenzeichen: P 39 41 323.3  
㉑ Anmeldetag: 14. 12. 89  
㉒ Offenlegungstag: 21. 6. 90

㉓ Int. Cl. 5:  
**H01 F 17/02**  
H 01 F 15/18  
H 01 L 27/04  
H 01 L 21/72

DE 3941 323 A1

㉔ Innere Priorität: ㉕ ㉖ ㉗  
14.12.88 DE 38 42 112.7

㉘ Anmelder:  
Fraunhofer-Gesellschaft zur Förderung der  
angewandten Forschung eV, 8000 München, DE

㉙ Vertreter:  
Münich, W., Dipl.-Phys. Dr.rer.nat., Pat.-Anw.;  
Steinmann, O., Dr., Rechtsanwalt., 8000 München

㉚ Erfinder:  
Faul, Robert, Dipl.-Ing., 8000 München, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

㉛ Halbleiterelement mit einer integrierten Induktivität

Beschrieben wird ein Halbleiterelement mit einer integrierten Induktivität, die durch erste Bereiche mit einer ersten Leitfähigkeit in einem Substrat einer zweiten Leitfähigkeit gebildet wird, die wesentlich kleiner als die erste Leitfähigkeit ist, bei dem die ersten Bereiche eine längliche Form haben, und entlang einer in einer Hauptoberfläche liegenden Linie voneinander in Richtung dieser Linie beabstandet sowie in wenigstens zwei Ebenen übereinander angeordnet sind, und die in unterschiedlichen Ebenen liegenden ersten Bereiche zur Bildung eines annähernd geschlossenen Linienzugs von gut leitenden Bereichen durch annähernd senkrecht zu der in einer der Hauptoberfläche liegenden Linie verlaufenden zweiten Bereiche zu teilweise geschlossenen Bereichen miteinander verbunden sind. Das erfindungsgemäße Element zeichnet sich dadurch aus, daß zur Bildung einer variablen Induktivität Transistoren wenigstens mit einem der ersten Bereiche verbunden sind.

DE 3941 323 A1

Die Erfindung bezieht sich auf ein Halbleiterelement mit einer integrierten Induktivität, die durch erste Bereiche mit einer ersten Leitfähigkeit in einem Substrat einer zweiten Leitfähigkeit gebildet wird, die wesentlich kleiner als die erste Leitfähigkeit ist, gemäß dem Oberbegriff des Anspruchs 1.

Es ist bekannt, die unterschiedlichsten aktiven oder passiven Bauelemente in Halbleitersubstrate zu integrieren. Beispielsweise aus der US-PS 33 05 817 oder der US-PS 36 14 554 sind Halbleiterelemente mit integrierten Induktivitäten bekannt. Die in diesen Druckschriften beschriebenen Halbleiterelemente, von denen im übrigen bei der Formulierung des Oberbegriffs des Patentanspruchs 1 ausgegangen worden ist, stellen jedoch eine Mischform zwischen Halbleiterelementen dar, die durch rein halbleitertechnische Verfahrensschritte hergestellt werden können, und "Hybrid-Halbleiterelementen", bei denen Herstellvorgänge erforderlich sind, wie sie üblicherweise zur Herstellung von Halbleiterelementen nicht verwendet werden. Ein Beispiel hierfür ist das Einbringen von Magnetstäben aus Permalloy in die Halbleiterschichten.

Vor allem aber haben die Induktivitäten, die in die bekannten Halbleiterelemente integriert sind, feste Induktivitätswerte.

In einer Reihe von Anwendungsfällen wäre es jedoch von Vorteil, wenn der Induktivitätswert zumindest in diskreten Schritten verändert werden könnte.

Der Erfindung liegt die Aufgabe zugrunde, ein Halbleiterelement mit einer integrierten Induktivität anzugeben, deren Induktivitätswert in diskreten Schritten verändert werden kann.

Eine erfindungsgemäße Lösung dieser Aufgabe ist mit ihren Weiterbildungen in den Patentansprüchen gekennzeichnet.

Erfindungsgemäß ist erkannt worden, daß bei einem Halbleiterelement, bei dem in bzw. auf einem Halbleitersubstrat eine dreidimensionale Anordnung realisiert ist, die die Geometrie einer Spule, wie sie typischerweise für Induktivitäten verwendet wird, "nachbildet", die Induktivität dadurch variiert werden kann, daß Transistoren wenigstens mit einem der ersten Bereiche verbunden sind, um die Spulenlänge bzw. -geometrie und damit den Induktivitätswert entsprechend den einzelnen Schaltzuständen der Transistoren zu variieren: Die "Länge der realisierten Spule" kann beispielsweise dadurch variiert werden, daß verschiedene getrennte Spulenabschnitte verbunden werden. Insbesondere ist es jedoch möglich, daß die Transistoren einzelne Spulenabschnitte kurz schließen (Anspruch 2) bzw. Abschalten (Anspruch 3).

Überraschenderweise gelingt eine einfache Realisierung dieses Grundgedankens zur Lösung der erfindungsgemäß gestellten Aufgabe dadurch, daß von einem Halbleiterelement ausgegangen wird, bei dem die Induktivität durch erste Bereiche mit einer ersten Leitfähigkeit in einem Substrat einer zweiten Leitfähigkeit gebildet wird, die wesentlich kleiner als die erste Leitfähigkeit ist, und bei dem die ersten Bereiche eine längliche Form haben, und entlang einer in einer Hauptoberfläche liegenden Linie voneinander in Richtung dieser Linie beabstandet sowie in wenigstens zwei Ebenen übereinander angeordnet sind, und die in unterschiedlichen Ebenen liegenden ersten Bereiche zur Bildung eines annähernd geschlossenen Linienzugs von gut leitenden Bereichen durch annähernd senkrecht zur der in

einer der Hauptoberfläche liegenden Linie verlaufende zweite Bereiche zu teilweise geschlossenen Bereichen miteinander verbunden sind.

Ein derartiges Element läßt sich nicht nur im Hinblick auf die in der Halbleitertechnik üblichen Verfahrensschritte, wie Ätzen, Aufbringen von Epitaxie- oder Isolatorschichten etc. leicht herstellen (Anspruch 9), sondern es erlaubt auch ohne weiteres in den selben oder wenigen zusätzlichen Verfahrensschritten das Einbringen der Transistoren, deren Schaltvorgänge den Induktivitätswert in diskreten Schritten verändern.

Das erfindungsgemäße Halbleiterelement mit einer integrierten Induktivität erlaubt die Realisierung der unterschiedlichsten Geometrien in Anlehnung an die Geometrien bekannter diskreter Induktivitäten:

In den Ansprüchen 6 bis 8 sind entsprechende Strukturen angegeben, die zu einer integrierten Spule, einer integrierten "Ringdrossel" oder einem Transformator führen.

In jedem Falle wird gemäß Anspruch 5 die Spulen-geometrie bevorzugt durch leitende Bereiche in dem Halbleitersubstrat realisiert, die zueinander (annähernd) senkrecht angeordnet sind, und von denen die Bereiche, die eine weitgehend geschlossene Struktur bilden, jeweils in zu der bzw. den Hauptoberflächen des Substrats (annähernd) parallelen Ebenen und die zweiten Bereiche senkrecht zur Hauptoberfläche angeordnet sind.

Das erfindungsgemäße Halbleiterelement mit einer integrierten variablen Induktivität kann damit mit den in der Halbleitertechnik gebräuchlichen Verfahrensschritten als "dreidimensionale Struktur" hergestellt werden.

Diese Verfahrensschritte können im Prinzip die bekannten Verfahrensschritte, wie Aufbringen von Epitaxieschichten, Ionenimplantation etc. sein. Ein bevorzugtes Verfahren zur Herstellung des erfindungsgemäßen Halbleiterelements ist im Anspruch 11 angegeben:

Zunächst wird auf einer Oberfläche eines Halbleiterwafers, beispielsweise eines einkristallinen Siliziumwafers, eine planare Leiterbahnstruktur integriert. Diese planare Leiterbahnstruktur kann mit sämtlichen in der Halbleitertechnik gebräuchlichen Verfahren hergestellt werden. Beispielsweise kann die planare Leiterbahnstruktur in der Art von IC-Leiterbahnen hergestellt werden.

Auf dieser Leiterbahnstruktur wird dann eine isolierende Schicht ebenfalls mit den in der Halbleitertechnik gebräuchlichen Maßnahmen aufgebracht. Durch diese isolierende Schicht werden Kanäle geätzt und die Kanäle mit einem gut leitenden Material aufgefüllt. Auf der freien Oberfläche der isolierenden Schicht wird eine korrespondierende Leiterbahnstruktur aufgebracht. Dies kann ebenfalls mit bekannten Verfahrensschritten erfolgen.

Die Schalttransistoren sowie gegebenenfalls weitere (aktive und/oder passive) Bauelemente lassen sich nicht nur auf der gleichen Hauptoberfläche, auf der auch die planare Leiterbahnstruktur aufgebracht ist, sondern auch auf der gegenüberliegenden Hauptoberfläche des Wafers (Anspruch 12) oder auf einer auf der korrespondierenden Leiterbahnstruktur aufgetragenen weiteren halbleitenden Schicht (Anspruch 13) integrieren. Die elektrische Verbindung zwischen der erfindungsgemäß ausgebildeten Induktivität und den Schalttransistoren sowie gegebenenfalls weiteren Elementen kann dann durch leitende Kanäle in dem Halbleitersubstrat hergestellt werden.

Selbstverständlich lassen sich die vorgenannten Ver-

fahrensschritte "nahezu beliebig" wiederholen, so daß auch die Realisierung von "mehrstöckigen" Induktivitäten möglich ist.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben, in der zeigen:

Fig. 1a bis 1c Ersatzschaltbilder verschiedener erfindungsgemäßer Halbleiterelemente,

Fig. 2a eine perspektivische Ansicht eines ersten Ausführungsbeispiels eines erfindungsgemäßen Halbleiterelements,

Fig. 2b eine Modifikation dieses Ausführungsbeispiels,

Fig. 3 eine Draufsicht auf ein drittes Ausführungsbeispiel der Erfindung,

Fig. 4 eine Draufsicht auf ein viertes Ausführungsbeispiel der Erfindung, und

Fig. 5 einen Querschnitt durch ein fünftes Ausführungsbeispiel der Erfindung.

Die Fig. 1a bis 1c zeigen Ersatzschaltbilder verschiedener Möglichkeiten, mittels Transistoren T1 bis T3 sowie gegebenenfalls einer Logikschaltung L die Induktivität einer Spulenordnung, die aus mehreren Spulen Z besteht, zu variieren.

Bei der in Fig. 1a gezeigten Anordnung schaltet die Logikschaltung L einen oder mehrere der Transistoren T1 bis T3 durch, so daß der oder die durchgeschalteten Transistoren die Spule Z, zu der der jeweilige Transistor parallel geschaltet ist, "kurz schließt" bzw. überbrückt.

Bei der in Fig. 1b gezeigten Anordnung werden durch das Durchschalten des Transistors T1 die Spulen Z in Serie geschaltet, während bei der in Fig. 1c gezeigten Anordnung die Logikschaltung L durch Durchschalten eines Transistors T1 bis T3 eine Verbindung des jeweiligen Spulenendes mit dem Bezugspotential des Halbleiterelements herstellt, so daß die restlichen Spulen Z "abgehängt" werden.

Sämtliche Möglichkeiten für die Variation der Induktivität können bei einem erfindungsgemäßen Halbleiterelement realisiert werden, das im folgenden näher erläutert werden wird.

In den folgenden Figuren ist durchgängig ein x,y,z-Koordinatensystem eingezeichnet, dessen Koordinatenachsen x und z in der Hauptoberfläche des Substrats liegen und dessen y-Achse senkrecht auf der Hauptoberfläche steht.

Ferner werden in den Figuren jeweils gleiche Elemente mit den selben Bezugszeichen versehen, so daß gegebenenfalls auch eine nochmalige Beschreibung bereits beschriebener Elemente verzichtet wird.

Fig. 2a zeigt eine perspektivische Ansicht eines ersten Ausführungsbeispiels eines erfindungsgemäßen Halbleiterelements, das ein Substrat 1 mit Hauptoberflächen 1' und 1'' aufweist. Auf der Hauptoberfläche 1' ist eine planare Leiterbahnstruktur 2' integriert, die im wesentlichen senkrecht zu einer in der Hauptoberfläche 1' verlaufenden Linie 3 angeordnet ist. Ohne Beschränkung des allgemeinen Erfindungsgedankens ist die Linie 3 parallel zur z-Achse des durchgängig verwendeten Koordinatensystems, während die Bereiche 2' parallel zur x-Achse sind.

Die Leitfähigkeit der (länglichen) Bereiche 2' ist wesentlich größer als die Leitfähigkeit des Substrats 1.

Ferner ist auf der Hauptoberfläche 1' des Substrats 1 eine isolierende Schicht 4 aufgebracht, auf deren freier Oberfläche eine zu der Leiterbahnstruktur 2' korrespondierende Leiterbahnstruktur 2'' aufgebracht ist. Die einzelnen Leiterbahnen der Struktur 2' sind mit den

zugeordneten Leiterbahnen der Struktur 2' durch Kanäle 5 in der isolierenden Schicht 4 verbunden, die mit einem gut leitenden Material gefüllt sind. Die Kanäle 5 verlaufen nicht parallel zur y-Achse, sondern schließen mit der y-Achse einen (positiven bzw. negativen) spitzen Winkel ein.

Durch die dargestellte Anordnung wird eine "Spule" mit einer durch die Geometrie und die Leitfähigkeit der gut leitenden Leiterbahnen gegebenen Induktivität realisiert, die leicht funktionell mit anderen in das Substrat 1 integrierten Elementen und insbesondere mit Transistoren T1 bis T3 verbunden werden kann. Diese Transistoren sowie eine die Transistoren ansteuernde Logikschaltung L können beispielsweise in der Hauptoberfläche 1' oder in der gegenüberliegenden Hauptoberfläche 1'' oder auch — wie noch erläutert werden wird — in einer Halbleiterschicht vorgesehen werden, die auf der freien Oberfläche des Substrats 4 aufgebracht wird. Durch Durchschalten der Transistoren T1 bis T3 ist es möglich, die Induktivität entsprechend Fig. 1c zu variieren.

Fig. 2b zeigt eine Modifikation des in Fig. 2a dargestellten ersten Ausführungsbeispiels. Bei diesem Ausführungsbeispiel sind die Verbindungs-Leiterbahnen 5 nicht "schräg" zu den Hauptoberflächen angeordnet; statt dessen sind die einzelnen Leiterbahnen der Struktur 2' untereinander durch Verbindungs-Leiterbahnen 21 in der dargestellten Weise verbunden.

Durch die dargestellte Anordnung wird ebenfalls eine "Spule" mit einer durch die Geometrie und die Leitfähigkeit der gut leitenden Leiterbahnen gegebenen Induktivität realisiert, die leicht funktionell mit anderen in das Substrat 1 integrierten Elementen verbunden werden kann.

Diese — in Fig. 2b nicht dargestellten — Elemente können beispielsweise in der Hauptoberfläche 1' oder in der gegenüberliegenden Hauptoberfläche 1'' oder auch — wie noch erläutert werden wird — in einer Halbleiterschicht vorgesehen werden, die auf der freien Oberfläche des Substrats 4 aufgebracht wird.

Bei den vorstehend beschriebenen Ausführungsbeispielen sind die länglichen Bereiche 2 längs einer geraden Linie 3 angeordnet. Selbstverständlich ist es auch möglich, die teilweise geschlossenen Bereiche derart anzuordnen, daß sich eine integrierte "Ringdrossel" ergibt. Fig. 3 zeigt eine Draufsicht auf ein derartiges Ausführungsbeispiel. Dabei sind zur Vereinfachung der Darstellung die Bereiche 2' und 5 sowie die Verbindungs-Leiterbahnen 21 nicht dargestellt.

Fig. 4 zeigt ein viertes Ausführungsbeispiel der Erfindung, bei der zwei voneinander unabhängige integrierte Spulen kammartig derartig ineinander eingeschoben sind, daß sich ein Übertrager bzw. ein integrierter Transformator ergibt. Dargestellt sind wiederum die auf der freien Oberfläche der isolierenden Schicht 4 vorgesehenen Leiterbahnen 2'', die durch nicht gezeigte Kanäle mit einer entsprechenden Struktur (von der nur die Leiterbahnen 21 dargestellt sind) auf einer Hauptoberfläche des Substrats verbunden sind.

Bei den vorstehend beschriebenen Ausführungsbeispielen können die Bereiche 5 jeweils als Leiterbahnen ausgeführt sein. Selbstverständlich ist es aber auch möglich, die Leiterbahnen 5 ganz oder teilweise als schaltbare Elemente, beispielsweise als Transistoren auszuführen, oder die Verbindung zwischen den Leiterbahnen 2' und 2'' und den Leiterbahnen 5 über Transistoren zu schalten.

Fig. 5 zeigt ein fünftes Ausführungsbeispiel der Erfin-

dung, bei der sowohl in einer Schicht 11 auf der Hauptoberfläche 1' als auch in einer halbleitenden Schicht 6 auf der freien Oberfläche der isolierenden Schicht 4 Schaltelemente, beispielsweise Transistoren 7 vorgesehen sind, die die in der isolierenden Schicht 4 vorgesehenen Durchgangskanäle 5 mit den auf den jeweiligen Oberflächen vorgesehenen (nicht näher dargestellten) Leiterbahnen 2' bzw. 2'' verbinden.

Damit ist es möglich, eine diskret variable Induktivität zu realisieren, die in ein Halbleiterelement integriert ist. Die Induktivität wird durch entsprechendes Durchschalten bzw. Sperren der einzelnen "Verbindungs-Transistoren" dadurch geändert, daß aktive Bereiche zu- bzw. abgeschaltet werden.

Vorstehend ist die Erfindung anhand von Ausführungsbeispielen ohne Beschränkung des allgemeinen Erfindungsgedankens beschrieben worden, innerhalb dessen selbstverständlich die verschiedensten Modifikationen möglich sind, von denen im folgenden einige exemplarisch genannt werden:

Die vorstehenden Ausführungsbeispiele sind durchgängig in der sogenannten SOI-Technik (Silikon-On-Isolation) realisierbar.

Hierzu wird auf der Hauptoberfläche 1' des Halbleiterwafers 1, beispielsweise eines einkristallinen Siliziumwafers, die planare Leiterbahnstruktur 2' integriert. Diese planare Leiterbahnstruktur 2' kann mit sämtlichen in der Halbleitertechnik gebräuchlichen Verfahren hergestellt werden. Beispielsweise kann die planare Leiterbahnstruktur 2' in der Art von IC-Leiterbahnen hergestellt werden, ferner ist es möglich, die Bereiche entsprechend zu dotieren oder andere Materialien, wie polykristallines Material auf ihnen abzuscheiden. Auch ist nicht nur die Verwendung von Silizium als Substratmaterial möglich, selbstverständlich können auch III/V-Halbleiter eingesetzt werden.

Auf dieser Leiterbahnstruktur wird dann die isolierende Schicht 4 ebenfalls mit den in der Halbleitertechnik gebräuchlichen Maßnahmen aufgebracht. Durch diese isolierende Schicht 4 werden die Kanäle 5 geätzt und die Kanäle mit einem gut leitenden Material aufgefüllt, so daß die senkrechten Verbindungsleitungen gebildet werden. Auf der freien Oberfläche der isolierenden Schicht wird die korrespondierende Leiterbahnstruktur 2'' aufgebracht. Dies kann ebenfalls mit bekannten Verfahrensschritten erfolgen.

Die weiteren (aktiven und/oder passiven) Bauelemente lassen sich nicht nur auf der gleichen Hauptoberfläche 1', auf der auch die planare Leiterbahnstruktur 2' aufgebracht ist, sondern auch auf der gegenüberliegenden Hauptoberfläche 1'' des Substrats 1 oder auf der auf der korrespondierenden Leiterbahnstruktur aufgetragenen weiteren halbleitenden Schicht 6 integrieren. Die elektrische Verbindung zwischen der erfindungsgemäß ausgebildeten Induktivität und den weiteren Elementen kann dann durch leitende Kanäle in dem Halbleitersubstrat hergestellt werden.

Selbstverständlich lassen sich die vorgenannten Verfahrensschritte "nahezu beliebig" wiederholen, so daß auch die Realisierung von "mehrstöckigen" Induktivitäten möglich ist.

Natürlich ist aber auch eine andere Realisierung der erfindungsgemäßen dreidimensionalen Induktivitäten in Halbleiterelementen möglich.

#### Patentansprüche

##### 1. Halbleiterelement mit einer integrierten Indukti-

vität, die durch erste Bereiche mit einer ersten Leitfähigkeit in einem Substrat einer zweiten Leitfähigkeit gebildet wird, die wesentlich kleiner als die erste Leitfähigkeit ist, bei dem die ersten Bereiche (2', 2'') eine längliche Form haben, und entlang einer in einer Hauptoberfläche (1') liegenden Linie (3) voneinander in Richtung dieser Linie beabstandet sowie in wenigstens zwei Ebenen übereinander angeordnet sind, und die in unterschiedlichen Ebenen liegenden ersten Bereiche (2', 2'') zur Bildung eines annähernd geschlossenen Linienzugs von gut leitenden Bereichen durch annähernd senkrecht zur der in einer der Hauptoberfläche liegenden Linie (3) verlaufende zweite Bereiche (5) zu teilweise geschlossenen Bereichen miteinander verbunden sind, dadurch gekennzeichnet, daß zur Bildung einer variablen Induktivität Transistoren (T1...T3; 7) wenigstens mit einem der ersten Bereiche (2', 2'') verbunden sind.

2. Halbleiterelement nach Anspruch 1, dadurch gekennzeichnet, daß die Transistoren im durchgeschalteten Zustand Teile der teilweise geschlossenen Bereiche kurz schließen.

3. Halbleiterelement nach Anspruch 1, dadurch gekennzeichnet, daß die Transistoren im durchgeschalteten Zustand den jeweiligen Punkt der teilweise geschlossenen Bereiche, mit dem der jeweilige Transistoranschluß leitend verbunden ist, mit einem anderen Schaltungspunkt verbinden.

4. Halbleiterelement nach Anspruch 3, dadurch gekennzeichnet, daß der andere Schaltungspunkt das Bezugspotential des Halbleiterelements ist.

5. Halbleiterelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die ersten Bereiche (2', 2'') in zu einer der Hauptoberflächen parallelen Ebenen liegen (Fig. 2).

6. Halbleiterelement nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die ersten und zweiten Bereiche in Form eines spiralartig angeordneten Linienzugs angeordnet sind.

7. Halbleiterelement nach Anspruch 6, dadurch gekennzeichnet, daß die Achse des Linienzugs ringförmig ausgebildet ist (Fig. 3).

8. Halbleiterelement nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß zur Bildung eines Übertragers mit variablem Übertragungsfaktor wenigstens zwei spiralartige Linienzüge zueinander versetzt und ineinandergreifend sowie durch Gebiete wesentlich schlechterer Leitfähigkeit getrennt angeordnet sind (Fig. 5).

9. Halbleiterelement nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß das Substrat ein Halbleiterwafer aus Silizium oder einem III/V-Halbleiter ist, und daß wenigstens die in einer Ebene angeordneten ersten Bereiche (2') aus dotiertem Substratmaterial, dotiertem Polysilizium oder einem metallischen Material bestehen.

10. Halbleiterelement nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß in das Substrat weitere Elemente integriert sind, die mit der oder den Induktivitäten funktionell verbunden sind.

11. Verfahren zur Herstellung eines Halbleiterelements nach einem der Ansprüche 1 bis 10, gekennzeichnet durch folgende Verfahrensschritte:

- auf einer Oberfläche (1') eines Wafers (1) wird eine planare Leiterbahnstruktur (2') integriert,
- auf der Leiterbahnstruktur (2') wird eine

isolierende Schicht (4) aufgebracht,

– durch die isolierende Schicht werden Kanäle (5) geätzt,

– die Kanäle werden mit einem gut leitenden Material aufgefüllt,

– auf der freien Oberfläche der isolierenden Schicht (4) wird eine korrespondierende Leiterbahnstruktur (2') aufgebracht.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß auf der anderen Oberfläche (1'') des Wafers weitere Elemente, wie Transistorstrukturen integriert werden.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß auf der isolierenden Schicht wenigstens eine weitere halbleitende Schicht (6) aufgebracht wird, die zur Integration weiterer Elemente (7), wie Transistorstrukturen geeignet ist.

Hierzu 3 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

Fig. 1a

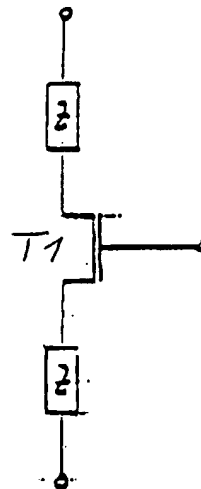
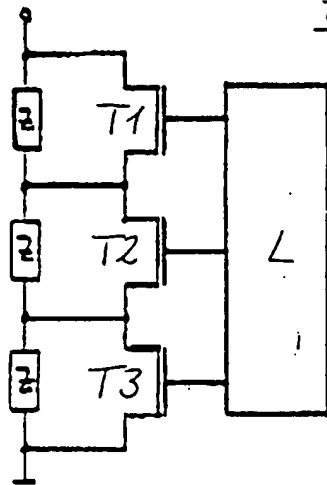


Fig. 1b

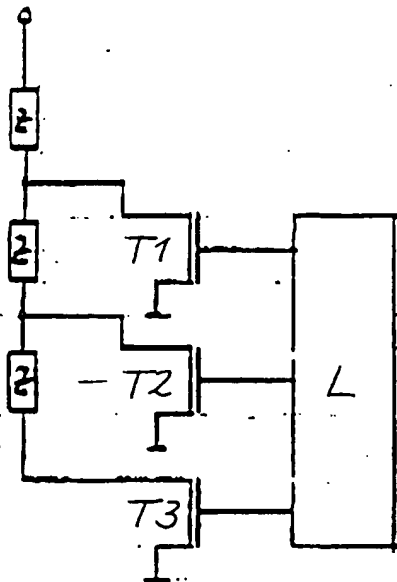


Fig. 1c

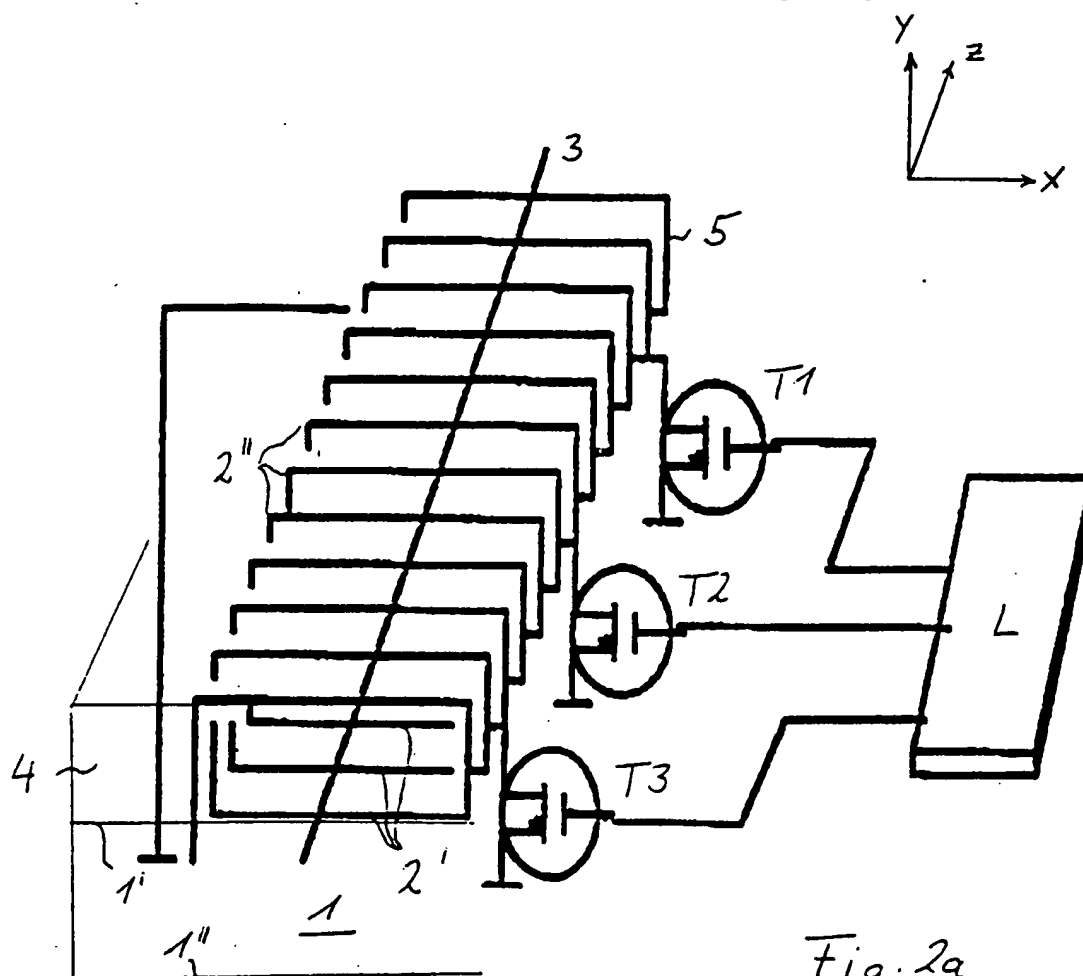


Fig. 2a

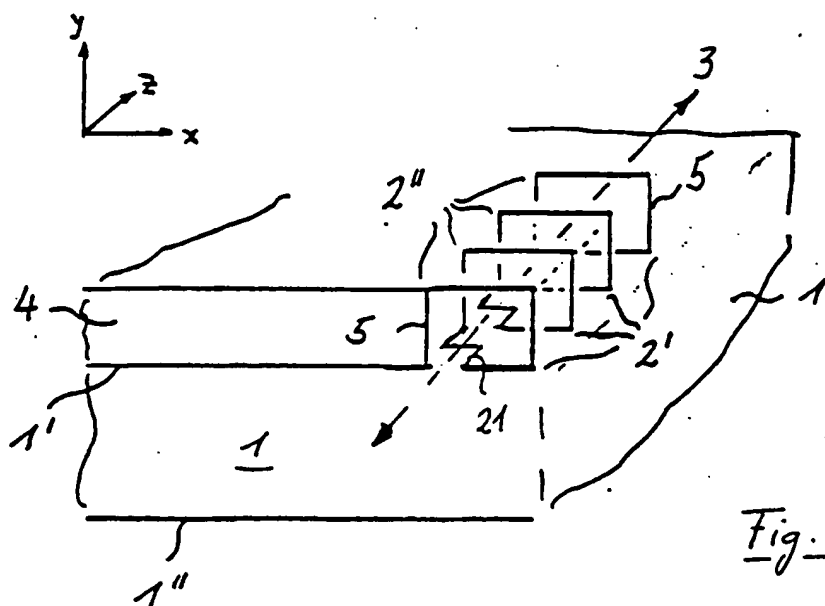


Fig. 2b



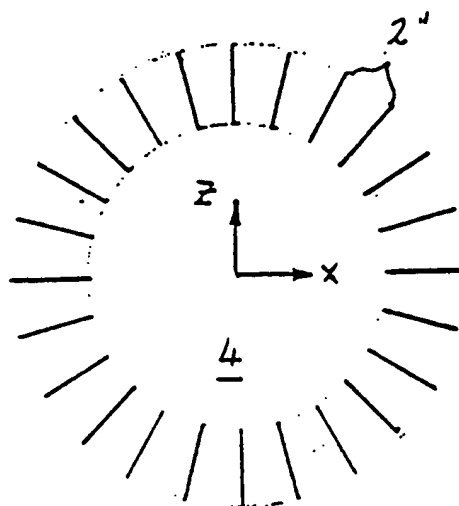


Fig. 3

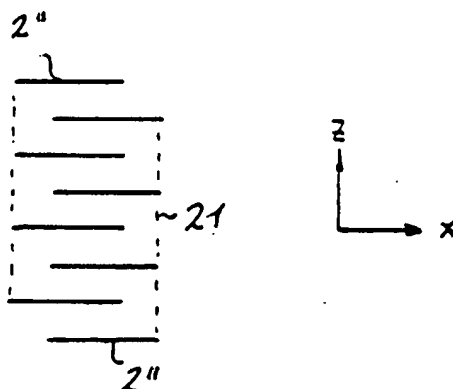


Fig. 4

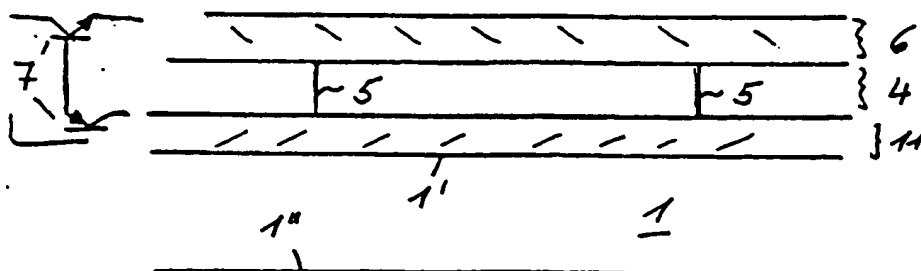


Fig. 5